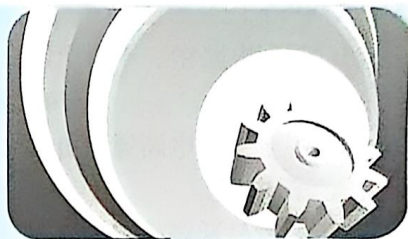


第7章

时序逻辑电路



学习目标

- ◇ 了解触发器的概念，掌握几种常用触发器的电路组成、逻辑符号、特点及应用。
- ◇ 了解不同触发器之间的转换。
- ◇ 理解时序逻辑电路的组成、特点，掌握时序逻辑电路的分析方法。
- ◇ 理解计数器的概念、分类，掌握同步计数器和异步计数器的分析及应用。
- ◇ 掌握 74LS161、74LS290 等常用的集成计数器的应用。
- ◇ 了解寄存器的基本概念、工作原理，掌握 74LS194 的应用。

时序逻辑电路又称时序电路，由存储电路和组合逻辑电路两部分组成。与组合逻辑电路不同之处在于，组合逻辑电路任一时刻的输出状态只与此刻的输入信号有关；时序逻辑电路任一时刻的输出状态不仅取决于当时的输入信号，而且取决于电路原来的状态。因此，组合逻辑电路不具有记忆性，而时序逻辑电路具有记忆功能。时序逻辑电路的状态是由存储电路来记忆的，存储电路的组成单元是触发器。

7.1 触发器

触发器(Flip Flop, FF)是由逻辑门电路通过一定的方式组合而成，具有两个互补的输出： Q 和 \bar{Q} 。

触发器有两个基本特性：①它有两个稳定状态，可分别用来表示二进制数码 0 和 1；②在输入信号作用下，触发器的两个稳定状态可相互转换，输入信号消失后，已转换的稳定状态可长期保持下来。因此，它是一个具有记忆功能的基本逻辑电路，有着广泛的应用。

7.1.1 基本 RS 触发器

1. 电路组成

图 7-1a 是由两个与非门交叉连接而成的基本 RS 触发器。 \bar{R} 、 \bar{S} 是它的两个信号输入端，字母上的非号是表示低电平有效， Q 和 \bar{Q} 为触发器的两个互补输出端，我们将 Q 的状态称为触发器的状态。图 7-1b 为基本 RS 触发器的逻辑符号， \bar{R} 、 \bar{S} 端的圆圈表示低电平有效。

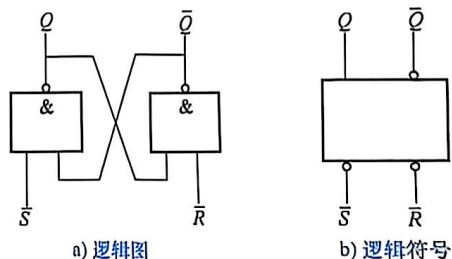


图 7-1 基本 RS 触发器

2. 工作原理

当 $\bar{R}=1$ 、 $\bar{S}=1$ ，即 \bar{R} 、 \bar{S} 均为高电平时，触发器保持原状态不变，也就是触发器将原有的状态存储起来，即通常所说的触发器具有记忆功能。

当 $\bar{R}=1$ 、 $\bar{S}=0$ ，即在 \bar{S} 端输入负脉冲时，不论原有 Q 为何状态，触发器都置 1 (即 $Q=1, \bar{Q}=0$)。

当 $\bar{R}=0$ 、 $\bar{S}=1$ ，即在 \bar{R} 端输入负脉冲时，不论原有 Q 为何状态，触发器置 0。

当 $\bar{R}=0$ 、 $\bar{S}=0$ ，即在 \bar{R} 、 \bar{S} 端同时输入负脉冲时，两个与非门输出端 Q 和 \bar{Q} 全为 1，而当两输入端的负脉冲同时消失时，由于与非门延迟时间的差异，触发器的输出状态是 1 还是 0 将不能确定，即状态不定，因此应当避免这种情况。

3. 特性表

我们将触发器输入信号变化前的状态称作现态，用 Q^n 表示；将触发器输入信号变化后的状态称作次态，用 Q^{n+1} 表示。触发器次态 Q^{n+1} 与输入信号和电路原有状态 Q^n (现态) 之间关系的真值表称作特性表。上述基本 RS 触发器的逻辑功能可用表 7-1 来表示。

表 7-1 与非门组成的基本 RS 触发器的特性表

\bar{R}	\bar{S}	Q^n	Q^{n+1}	说 明
0	0	0	x	不允许
0	0	1	x	
0	1	0	0	置 0
0	1	1	0	
1	0	0	1	置 1
1	0	1	1	
1	1	0	0	保持
1	1	1	1	

特性表完整而又清晰地描述了在输入信号 \bar{R} 和 \bar{S} 作用下，触发器的现态 Q^n 和次态 Q^{n+1} 之间的转换关系。

4. 特性方程

触发器次态 Q^{n+1} 与 R 、 S 及现态 Q^n 之间关系的逻辑表达式称为触发器的特性方程。

根据表 7-1，可画出如图 7-2 所示的与非门组成的基本 RS 触发器的卡诺图，化简整理得出由与非门组成的基本 RS 触发器的特性方程为

$$\begin{cases} Q^{n+1} = S + \bar{R}Q^n & (\text{约束条件}) \\ RS = 0 \end{cases} \quad (7-1)$$

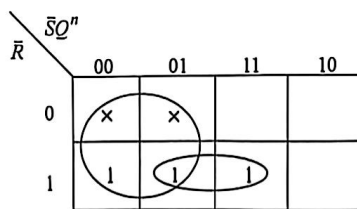


图 7-2 基本 RS 触发器的卡诺图

5. 特点

基本 RS 触发器电路简单，是构成各种功能触发器的基本单元。它可以组成数码寄存器存放二进制数码，可以用作防止波形抖动的开关。它的主要缺点是输入信号存在期间将直接控制输出端的状态，而且 R 、 S 之间存在约束。

7.1.2 同步 RS 触发器

对于基本 RS 触发器,只要 \bar{R} 或 \bar{S} 产生变化,就可能引起状态翻转,因此,基本 RS 触发器的抗干扰能力较差。另外,在数字系统中,为了协调各部分电路的工作,任何操作均应按预定的时间完成。因此产生了由时钟控制接收 R 、 S 信号的时钟型 RS 触发器,也称同步 RS 触发器。

1. 电路组成

同步 RS 触发器是由一个基本的 RS 触发器加两个控制门组成。

如图 7-3a 所示,其中门 D_1 、 D_2 组成基本 RS 触发器,门 D_3 、 D_4 为控制门, CP 是时钟脉冲的输入控制信号,通常称为时钟脉冲, Q 和 \bar{Q} 是输出端,图 7-3b 为其逻辑符号。

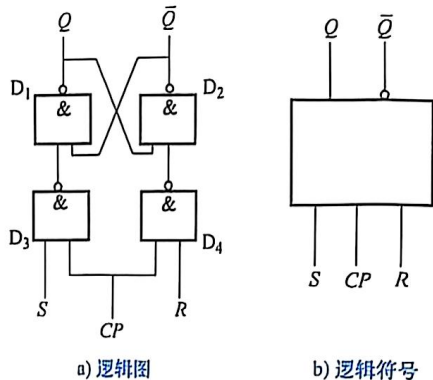


图 7-3 同步 RS 触发器

2. 工作原理

当 $CP = 0$ 时, D_3 、 D_4 均被封锁,输出均为 1。触发器状态保持不变。

当 $CP = 1$ 时, D_3 、 D_4 打开,输入信号 R 、 S 通过 D_3 、 D_4 使基本 RS 触发器动作,输出端状态仍由 R 、 S 状态和 Q^n 决定。

3. 特性表、特性方程

按照前述方法,同样可以写出 $CP = 1$ 前提下同步 RS 触发器的特性表和特性方程,大家可以发现,特性方程与基本 RS 触发器一样。

4. 同步 RS 触发器的主要特点

(1) 优点 由时钟脉冲控制, $CP = 0$ 触发器状态保持原态不变; $CP = 1$ 期间,触发器根据输入信号 R 、 S 状态决定输出状态。由于是由时钟脉冲控制,因此便于多个触发器同步工作。

(2) 缺点 $CP = 1$ 期间,触发器的输出仍然受 R 、 S 信号的直接控制。也就是说,在 $CP = 1$ 期间,若 R 、 S 信号变化,则同步 RS 触发器的输出状态也会跟着变化,抗干扰能力较差。同时 R 、 S 信号之间仍然有约束。由于上述原因,同步 RS 触发器的使用受到一定限制。

7.1.3 边沿 JK 触发器

边沿触发器是一种改进型式的触发器,它的特点是只在 CP 脉冲的上升沿(或下降沿)的瞬间,触发器才根据输入信号的状态翻转,而在 $CP = 0$ 或是 $CP = 1$ 期间,输入信号的变化对触发器的状态均无影响。

1. 边沿 JK 触发器的工作原理

边沿 JK 触发器的逻辑符号如图 7-4 图中 J 、 K 为信号输入端,框内“ \wedge ”表示边沿触发,“ \circ ”表示在时钟脉冲 CP 的下降沿时触发。

边沿 JK 触发器的特性表见表 7-2。

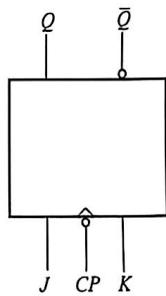


图 7-4 边沿 JK 触发器逻辑符号

表 7-2 边沿 JK 触发器的特性表

CP	J	K	Q^n	Q^{n+1}	状 态
↓	0	0	0	0	保持
↓	0	0	1	1	
↓	0	1	0	0	置 0
↓	0	1	1	0	
↓	1	0	0	1	置 1
↓	1	0	1	1	
↓	1	1	0	1	翻转(或计数)
↓	1	1	1	0	

根据表 7-2 可得边沿 JK 触发器的特性方程为

$$Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n \quad (CP \text{ 下降沿有效}) \quad (7-2)$$

由于是 CP 脉冲的边沿控制, 只有在 CP 脉冲从高电平跳变到低电平时, 边沿 JK 触发器的输出才按照特性方程决定的状态进行变化, 而在 CP=0、CP=1 以及 CP 由 0 跳变为 1 期间, 边沿 JK 触发器都将保持原状态不变。因此, 大大提高了电路工作的可靠性。但由于电路是利用与非门的传输延迟时间来实现边沿控制的, 要保证可靠工作, 对制造工艺的要求就比较严格。

2. 集成边沿 JK 触发器 74LS112

74LS112 由两个独立的下降沿触发的边沿 JK 触发器组成, $\frac{1}{2}$ 74LS112 的逻辑符号如图 7-5 所示, 表 7-3 为 74LS112 的特性表。

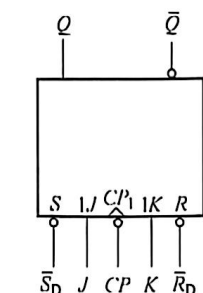


图 7-5 $\frac{1}{2}$ 74LS112 的逻辑符号

表 7-3 74LS112 的特性表

输 入					输 出	说 明
CP	J	K	\bar{R}_D	\bar{S}_D	Q^{n+1}	
×	×	×	0	1	0	异步置 0
×	×	×	1	0	1	异步置 1
↓	0	0	1	1	Q^n	保持
↓	0	1	1	1	0	置 0
↓	1	0	1	1	1	置 1
↓	1	1	1	1	\bar{Q}^n	翻转
1	×	×	1	1	Q^n	保持
×	×	×	0	0	1	不允许

根据以上分析, 在已知输入信号时, 采用先画异步端作用下的波形, 再考虑关联输入端情况的方法, 可方便地画出输出端 Q 的波形, 如图 7-6 所示。

7.1.4 维持阻塞 D 触发器

1. 维持阻塞 D 触发器的工作原理

维持阻塞 D 触发器是一种上升沿触发的 D 触发器，逻辑符号如图 7-7 所示。

图 7-7 中 D 为数据输入端， Q 和 \bar{Q} 是输出端， CP 是时钟脉冲，“ \wedge ”表示边沿触发， CP 端不带小圆圈表示上升沿触发。表 7-4 是维持阻塞 D 触发器的特性表。

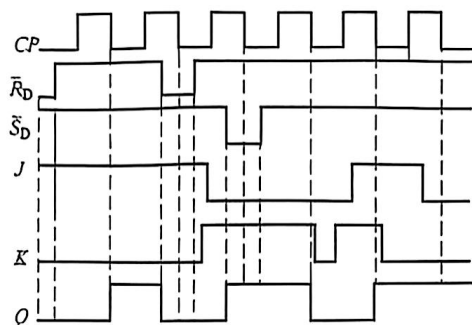


图 7-6 具有异步输入的 JK 触发器的工作波形

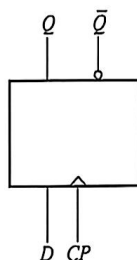


图 7-7 维持阻塞 D 触发器的逻辑符号

由特性表容易得到维持阻塞 D 触发器的特性方程为

$$Q^{n+1} = D \quad (CP \text{ 上升沿有效}) \quad (7-3)$$

维持阻塞 D 触发器的优点是边沿控制， CP 上升沿触发，在 $CP=1$ 期间有维持阻塞作用存在，触发器状态不发生变化，抗干扰能力强。但也存在缺点，即在某些情况下使用起来不如 JK 触发器方便。

表 7-4 维持阻塞 D 触发器的特性表

CP	D	Q^n	Q^{n+1}	说 明
\uparrow	0	0	0	置 0
\uparrow	0	1	0	
\uparrow	1	0	1	置 1
\uparrow	1	1	1	

2. 集成维持阻塞 D 触发器 74LS74

图 7-8 所示为 $\frac{1}{2}$ 74LS74 的逻辑符号，表 7-5 所示为 74LS74 的功能表。

表 7-5 74LS74 的功能表

输 入				输 出	说 明
CP	\bar{R}_D	\bar{S}_D	D	Q^{n+1}	
\times	0	1	\times	0	异步置 0
\times	1	0	\times	1	异步置 1
\uparrow	1	1	0	0	置 0
\uparrow	1	1	1	1	置 1
0	1	1	\times	Q^n	保持
\times	0	0	\times	1	不允许

根据以上分析，在已知输入信号时，采用先画异步端作用下的波形，再考虑关联输入端情况的方法，可方便地画出输出端 Q 的波形，如图 7-9 所示。

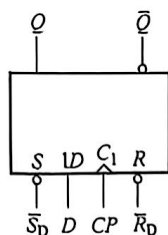
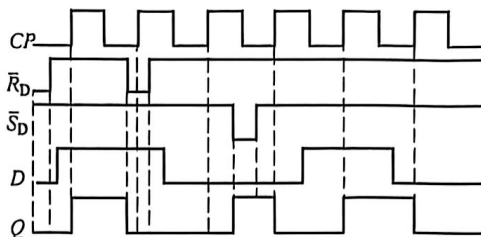
图 7-8 $\frac{1}{2}$ -74LS74 的逻辑符号

图 7-9 具有异步输入的 D 触发器的工作波形

7.1.5 T 触发器和 T' 触发器

T 触发器是指根据 T 端输入信号的不同，在时钟脉冲 CP 作用下具有翻转和保持功能的电路，它的逻辑符号如图 7-10 所示。

而 T' 触发器则是指每输入一个时钟脉冲 CP ，状态变化一次的电路。在 T 触发器中，若 T 恒为 1，则 T 触发器就变换为 T' 触发器。

T 触发器和 T' 触发器可以由 JK 触发器或 D 触发器转换而来，它们的特性表和特性方程不再赘述。

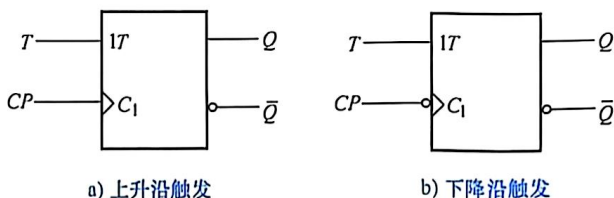


图 7-10 T 触发器的逻辑符号

7.1.6 CMOS 触发器

CMOS 触发器与 TTL 触发器一样，种类繁多。由于 CMOS 触发器具有功耗低、抗干扰能力强、电源适应范围大等优点，应用很广泛。常用的集成触发器有 CC4013 (D 触发器) 和 CC4027 (JK 触发器) 等。

CC4027 引脚排列如图 7-11 所示，功能表如表 7-6 所示。使用时其电源电压可为 3 ~ 18V。

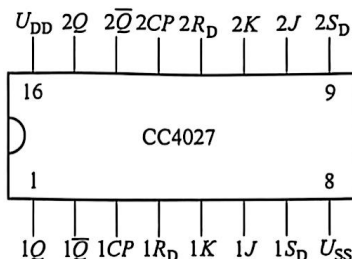


图 7-11 CC4027 双 JK 触发器引脚排列图

表 7-6 CC4027 的功能表

输 入					输 出	说 明
CP	J	K	R_D	S_D	Q^{n+1}	
×	×	×	1	0	0	异步置 0
×	×	×	0	1	1	异步置 1
↑	0	0	0	0	Q^n	保持
↑	0	1	0	0	0	置 0
↑	1	0	0	0	1	置 1
↑	1	1	0	0	\bar{Q}^n	翻转
1	×	×	0	0	Q^n	保持
×	×	×	1	1	1	不允许

7.1.7 触发器的相互转换

所谓触发器的相互转换,就是把一种已有的触发器,通过加入逻辑转换电路之后,成为另一种逻辑功能的触发器。

例 7-1 试将 JK 触发器转换为 D 触发器。

解 首先写出反映已有触发器(JK 触发器)逻辑功能的特性方程,即

$$Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n \quad (7-4)$$

然后,写出待求触发器的特性方程,即反映了对待求触发器功能的要求。待求触发器为 D 触发器,故可写出其特性方程为

$$Q^{n+1} = D \quad (7-5)$$

最后,求出 JK 触发器的驱动方程。为了便于比较,将式(7-5)转换为与式(7-4)相似的形式,即

$$Q^{n+1} = D = D(\bar{Q}^n + Q^n)$$

即

$$Q^{n+1} = D\bar{Q}^n + DQ^n \quad (7-6)$$

将式(7-6)与式(7-4)比较后,可求得 J、K 的驱动方程为

$$\begin{cases} J = D \\ \bar{K} = D \text{ 即 } K = \bar{D} \end{cases} \quad (7-7)$$

根据求出的转换逻辑,即已有的 JK 触发器的驱动方程,便可画出如图 7-12 所示的待求触发器的逻辑图。

例 7-2 将 D 触发器转换为 JK 触发器。

解 写出已有触发器——D 触发器的特性方程,即

$$Q^{n+1} = D$$

写出待求触发器——JK 触发器的特性方程,即

$$Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$$

比较上述两个特性方程,可得

$$D = J\bar{Q}^n + \bar{K}Q^n$$

画出逻辑图,如图 7-13 所示。

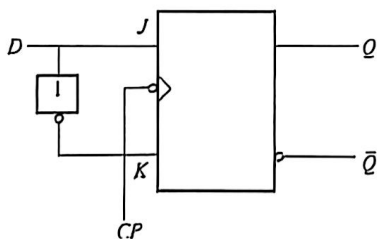


图 7-12 JK→D 逻辑图

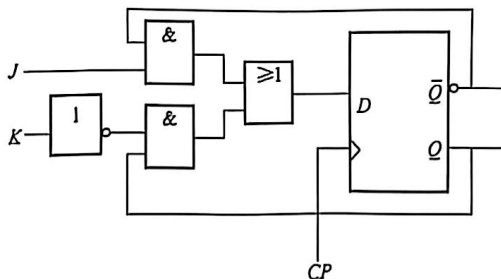


图 7-13 D→JK 触发器的逻辑图